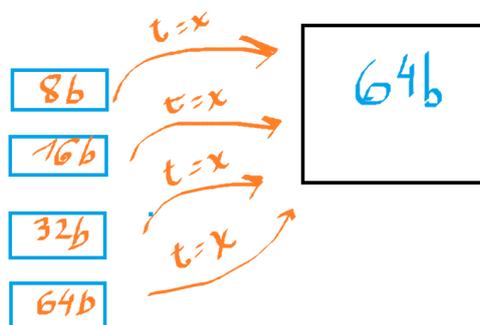


Instruções MMX, 3DNow!, SSE, AVX e AES-NI

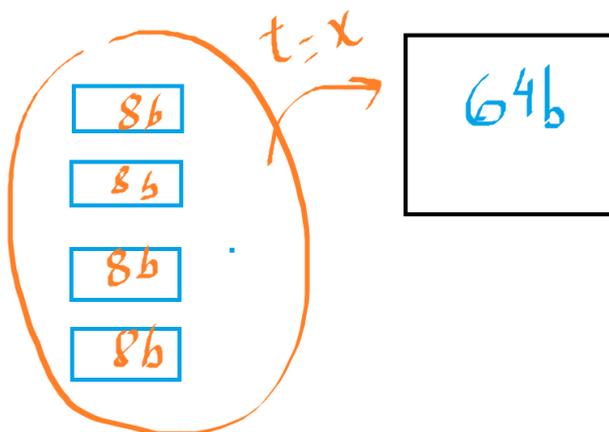
Estas instruções trabalham com um conceito chamado de SIMD.

SIMD (Single instruction multiple data)

Ou instrução única, múltiplos dados, que permite a divisão de um registrador grande em vários menores, e a manipulação desses vários registradores de uma só vez usando uma única instrução.



SIMD = AGRUPAMENTOS DE INSTRUÇÕES PARA OTIMIZAR O TEMPO



TIPOS:

PARA AUMENTO GERAL DE PERFORMANCE:



(21) 99461-8818
(21) 97894-7490



EXPLICADORESNET

WWW.EXPLICADORES.NET.BR

MMX

INSTRUÇÕES SIMD PARA PROCESSADORES INTEL

Lançada em 1996 pela Intel, com o processador Intel Pentium MMX e trouxe **47** novas instruções com recurso SIMD. Suportada por processadores Intel e AMD.

3DNOW!

INSTRUÇÕES SIMD PARA PROCESSADORES AMD

Lançada em 1998 pela AMD, trouxe **21** novas instruções. Suportada apenas pelos processadores AMD.

SSE (Streaming SIMD Extensions)

Lançada em 1999 pela Intel é uma melhoria do sistema MMX com novas **70** instruções e adicionando oito registradores de 128 bits à unidade de ponto flutuante. Suportadas por processadores AMD e Intel.

SSE2

Lançada no ano 2000 pela Intel com o processador Pentium 4, adicionando **144** novas instruções. Podem ser suportadas por processadores AMD e Intel.

SSE3

Lançada em 2004 pela Intel nos processadores Pentium 4 HT (Hyper- Treading), antes do lançamento esta tecnologia era chamada de PNI (Prescott New Instructions).

SSSE3

Pequena revisão das instruções SSE3, chamada de SSSE3 (Supplemental SSE3), lançada pela Intel em 2006 com os processadores família core 2. Suportada pela Intel e pela AMD.

SSE4a

Lançado pela AMD em 2007 com o processador Phenom, intruduz somente 4 instruções. Não suportada pelos processadores Intel.

SSE4.1

A verdadeira tecnologia SSE4 é dividida em dois subgrupos, SSE4.1 e SSE4.2;

SSE4.2

As instruções SSE4.2 foram lançadas pela Intel em 2008 pela primeira geração da família core i. São apenas 7 instruções. Suportadas pelos processadores Intel e AMD.

AVX

Criada pela Intel como especificações **SSE5**, chamada AVX (Advanced vector extensions), com **12** novas instruções. Suportadas pela AMD e pela Intel.

AVX2

Lançada em 2013 pela Intel, até o momento não anunciado o número de instruções.

AES-NI

Lançadas pela Intel em 2010 chamada de AES(Advanced Encrpytion Standard New Instructions), são seis novas instruções para acelerar a **CRIPTOGRAFIA**. Suportadas pela Intel e pela AMD.

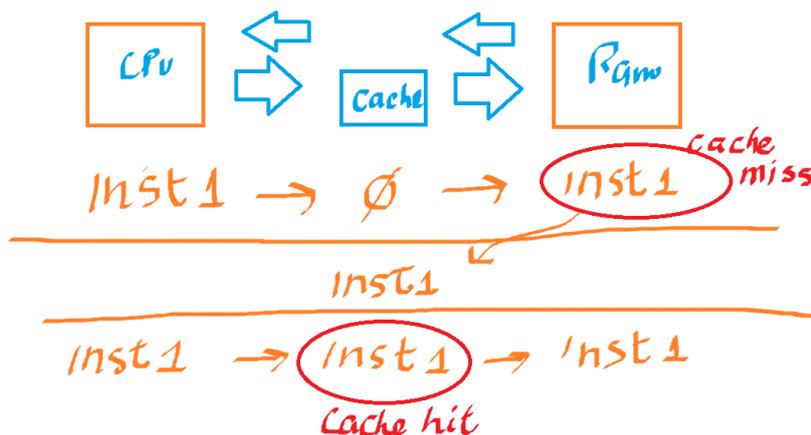
Capítulo 14 – Memória Cache

- MEMÓRIA MAIS RÁPIDA QUE A RAM;
- TEMPORÁRIA;
- VOLÁTIL;
- MEMÓRIA COM MENOS ESPAÇO QUE A RAM;
- ACELERAR PROCESSAMENTOS REPETIDOS;
- INTERPOSTA ENTRE O PROCESSADOR E RAM;



Introdução

Memória que tem a função de aumentar o desempenho da busca de instruções que estejam armazenadas na memória RAM.



Níveis



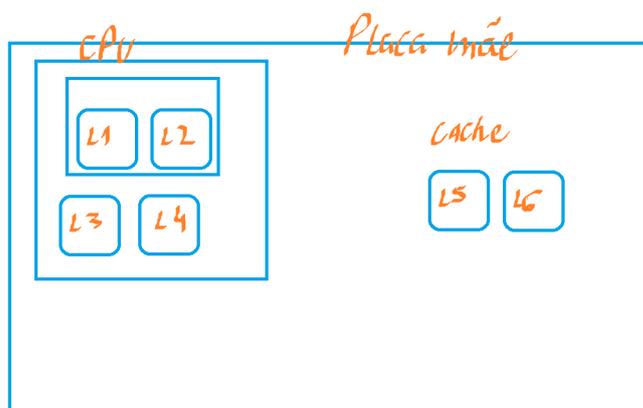
(21) 99461-8818
(21) 97894-7490



EXPLICADORESNET

WWW.EXPLICADORES.NET.BR

A cache de memória pode ser classificada em níveis de acordo com a sua proximidade das unidades de execução do processador: L1,L2,L3,L4, etc. (L significa level ou nível).



QUANTO MAIS PRÓXIMA DO PROCESSADOR MAIS RÁPIDA, QUANTO MAIS PRÓXIMA DO PROCESSADOR MENOR ...

Funcionamento

Quando uma unidade de busca pega um dado do cache em vez da memória RAM, dizemos que houve um acerto (hit), a taxa de acerto é de **80% a 99%**, significando que na maioria das vezes, o acesso a memória RAM é feito usando a cache.

ESQUEMAS DE ATUALIZAÇÃO DE CACHE

QUANDO A CACHE ATUALIZA A RAM COM O CONTEÚDO QUE FOI ALTERADO DURANTE O FUNCIONAMENTO.

Esquema WRITE THROUGH

Quando o processador quer gravar um dado em memória, o dado é gravado na memória cache e a memória RAM pode ser atualizada imediatamente com o valor do novo dado.

- **AUTOMATICAMENTE OS VALORES DA CACHE SÃO ATUALIZADOS NA RAM;**
- **A RAM NUNCA FICA DESATUALIZADA;**

Esquema WRITE BACK

Quando o conteúdo da memória Ram é atualizado mais tarde, onde neste caso por algum tempo a memória Ram fica com o conteúdo diferente da memória cache.

- **OS DADOS DA CACHE SÓ SÃO ATUALIZADOS MAIS TARDE;**
- **A RAM PODE FICAR DESATUALIZADA;**

Arquitetura

COMO A CACHE É CONSTRUÍDA E COMO ELA É CONECTADA A RAM;

O controlador de cache pode trabalhar em três arquiteturas diferentes:

- Cache com mapeamento direto (direct-mapped-cache)
- Cache completamente associativo (full-associative-cache)
- Cache associativo por grupos (set-associative-cache)



(21) 99461-8818
(21) 97894-7490



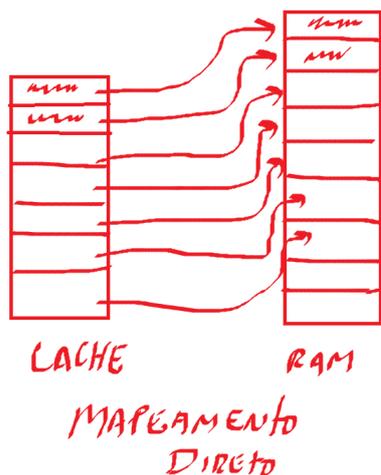
EXPLICADORESNET

WWW.EXPLICADORES.NET.BR

Cache com mapeamento direto

Esquema mais simples de implementar. Neste caso a memória RAM e a cache são divididas em linha de 32 bytes ou 64 bytes. Cada linha do cache aponta diretamente para uma linha na memória ram.

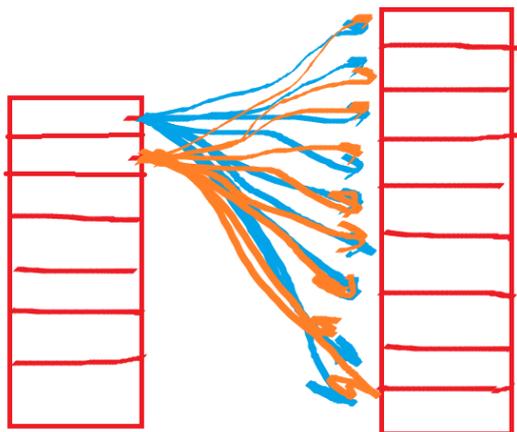
- **MAIS SIMPLES DE SER CRIADO;**
- **A QUANTIDADE DE CACHE MISS É MUITO ALTA;**
- **PODEM HAVER MUITOS CACHE MISS;**



Cache completamente associativo

Neste método as linhas de cache podem armazenar o conteúdo de qualquer linha da Ram independentemente da sua localização. Neste caso a possibilidade de um dado estar presente na memória cache aumenta, aumentando também o desempenho do sistema.

- **CADA PARTE DE CACHE PODE ALCANÇAR QUALQUER PARTE DE RAM;**
- **AUMENTAMOS MUITO A PROBABILIDADE DE CACHE HIT;**
- **MAIS COMPLEXO DE SER IMPLEMENTADO;**



Cache Associativo por grupos

É atualmente a solução que apresenta melhor desempenho na prática, e por isso a arquitetura mais utilizada, pois reúne as vantagens dos dois modelos.

Neste caso o controlador de cache divide a cache total em 4 grupos de cache, passando a funcionar como 4 caches independentes com esquema de mapeamento direto.

- **COMBINA O MELHOR DOS DOIS MUNDOS;**
- **CRIA GRUPOS DE CACHE PARA GRUPOS DE RAM;**
- **SIMPLES COMO O MAPEAMENTO DIRETO;**
- **COM A MESMA QUANTIDADE DE CACHE HIT DO COMPLETAMENTE ASSOCIATIVO;**
- **MAIS UTILIZADO ATUALMENTE;**

